

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-273933

(43)Date of publication of application : 08.11.1990

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 01-094321

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 15.04.1989

(72)Inventor : NISHIWAKI TORU

MAYUMI SHUICHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To contrive to inhibit the effect, which exerts on transistor characteristics, of hot carriers by a method wherein a side wall insulating film is not captured by the hot carriers and a very thin polycrystalline silicon film under side walls is connected to gate electrode.

**CONSTITUTION:** A gate electrode 3 is formed and thereafter, a very thin conductive film 5 and an insulating film 6 are formed on this electrode 3 and an anisotropic etching is performed continuously on the film 6 and the very thin film 5 to form sidewalls of a two-layer structure, wherein the film 5 is laid under the lower part of a side wall insulating film 7. Impurity ions ( $As^+$ ) 8 are implanted in a semiconductor substrate 1 using the side walls

consisting of this two-layer structure as masks to form  $n^+$  strong impurity diffused layers 9 and a drain of a MOS transistor is formed. Accordingly, hot carriers are not captured by the film 7 and the film 5 under the lower parts of the side walls is connected to the electrode 3. Thereby, transistor characteristics, such as a threshold voltage fluctuation and the like, are never deteriorated under the long-time use of a device.



## ⑫ 公開特許公報(A)

平2-273933

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月8日

H 01 L 21/336  
29/7848422-5F  
8422-5F

H 01 L 29/78

3 0 1 L  
G

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-94321

⑰ 出 願 平1(1989)4月15日

⑱ 発 明 者 西 脇 徹 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑲ 発 明 者 真 弓 周 一 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑳ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
 ㉑ 代 理 人 弁理士 星 野 恒 司

## 明 細 書

## (従来技術)

## 1. 発明の名称 半導体装置の製造方法

## 2. 特許請求の範囲

半導体基板上にゲート電極を形成しゲート酸化膜はそのまま残す工程と、前記ゲート電極をマスクにして前記半導体基板上に不純物イオンを注入する工程と、前記ゲート電極上およびゲート酸化膜上に導電膜を被着する工程と、前記導電膜上に絶縁膜を被着する工程と、前記導電膜と前記絶縁膜をエッチングして前記ゲート電極の側壁に沿って前記導電膜および前記絶縁膜を残す工程と、前記ゲート電極、前記導電膜および前記絶縁膜をマスクにして不純物イオンを前記半導体基板上に注入する工程を備えたことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法、とくに信頼性の高い半導体素子の形成方法に関する。

近年、半導体素子の高集積化、微細化に伴い、LDD(Lightly Doped Drain)構造を有したトランジスタが広く使われている。電子がバンドギャップエネルギーを越え、シリコン(Si)格子と衝突して電子-正孔対を発生し、これがゲート酸化膜に捕獲されてトランジスタ特性を劣化させる現象(ホットキャリア現象)がある。ホットキャリアは高い電界によって発生するので電源電圧を同一に保つと微細化されたトランジスタほど問題が大きいため、高い電界を緩和するため最も電界の高いドレイン近傍に濃度の低い不純物領域を設けるLDD構造が必要となる。

第2図は従来のLDD構造を有する半導体装置の製造工程の工程順断面を示すものである。第2図において、1は半導体基板(p型Si)、2はゲート酸化膜、3はゲート電極、4は不純物イオン(P<sup>+</sup>)、6は薄い不純物拡散層(n<sup>-</sup>)、7はサイドウォール絶縁膜、8は不純物イオン(As<sup>+</sup>)、9は濃い不純物拡散層(n<sup>+</sup>)、10は層間絶縁膜、11は

アルミ配線である。

次に従来の製造方法の工程について説明する。第2図(a)において、半導体基板(p型)1上にゲート酸化膜2を形成しさらにゲート電極3を形成する。次に不純物イオン( $P^+$ )4を例えば約 $10^{13} \text{ cm}^{-2}$ イオン注入法などを用いて注入し、薄い不純物拡散層( $n^-$ )6を形成する。その後第2図(b)に示すように全面に二酸化珪素膜7'を2500Å程度被着させる。次に第2図(c)に示すように、異方性ドライエッチングにより全面エッチングを行いサイドウォール絶縁膜7を形成する。次に第2図(d)に示すように、不純物イオン( $As^+$ )8を約 $10^{15} \text{ cm}^{-2}$ イオン注入法により注入し、窒素雰囲気中で熱処理を行い、濃い不純物拡散層( $n^+$ )9を形成する。次に第2図(e)に示すように、層間絶縁膜10を気相成長(CVD)法などにより5000Å程度被着させ、その後周知の写真食刻法を用いてコンタクト窓を形成し、アルミ配線11を形成して完成させる。

(発明が解決しようとする課題)

したものである。

(作用)

したがって、本発明の製造方法により形成された半導体装置は、サイドウォール絶縁膜にホットキャリアは捕獲されず、また、サイドウォール下部の導電膜はゲート電極に接続されているため、その下の二酸化珪素膜(ゲート酸化膜)に捕獲されたホットキャリアのトランジスタ特性に与える影響もなくなる。

(実施例)

第1図は本発明の一実施例における半導体装置の製造方法の工程断面を示すものである。第1図において、1は半導体基板(p型Si)、2はゲート酸化膜、3はゲート電極、4は不純物イオン( $P^+$ )、5は極く薄い多結晶シリコン、6は薄い不純物拡散層( $n^-$ )、7はサイドウォール絶縁膜、7'は二酸化珪素膜、8は不純物イオン( $As^+$ )、9は濃い不純物拡散層( $n^+$ )、10は層間絶縁膜、11はアルミ配線である。

次に上記実施例の製造方法の工程について説明

しながら、上記従来のLDD構造の製造方法は、ドレイン近傍で発生したホットキャリアは、サイドウォールを形成する絶縁膜中に捕獲され、デバイスを長時間使用のもとでは、閾値電圧変動などのトランジスタ特性を劣化させるという信頼性の問題がある。

本発明はこのような従来の問題を解決するものであり、信頼性の高い半導体装置の製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明は上記目的を達成するために、半導体装置の製造方法は、ゲート電極形成後このゲート電極上に極く薄い導電膜及び絶縁膜を形成する工程と、前記絶縁膜と極く薄い導電膜を連続して異方性エッチングを行い、サイドウォール絶縁膜下部に極く薄い導電膜を敷く二層構造のサイドウォールを形成する工程を備え、この二層構造からなるサイドウォールをマスクにして半導体基板にイオン注入を行い、濃い不純物拡散層( $n^+$ )を形成し、MOSトランジスタのドレインを形成するように

する。第1図(a)に示すように、半導体基板(p型)1上にゲート酸化膜2、ゲート電極3を形成し、不純物イオン( $P^+$ )4を約 $10^{13} \text{ cm}^{-2}$ イオン注入法により注入する。次に第1図(b)に示すように、極く薄い多結晶シリコン膜5(約500Å)をCVD法などにより被着させる。次に第1図(c)に示すように、二酸化珪素膜7'を約2500Å CVD法などにより被着させる。次に第1図(d)に示すように、異方性ドライエッチングにより全面ドライエッチングを行いサイドウォール絶縁膜7を形成する。さらに、不純物イオン( $As^+$ )8を約 $10^{15} \text{ cm}^{-2}$ イオン注入法により注入し、窒素雰囲気中で熱処理をし濃い不純物拡散層( $n^+$ )9を形成する。次に第1図(e)に示すように、層間絶縁膜10をCVD法により5000Å程度被着させ、その後周知の写真食刻法を用いてコンタクト窓の開孔、アルミ配線11を形成し、半導体装置を完成させる。

なお、本実施例ではサイドウォール絶縁膜下部の導電膜を多結晶シリコンの場合について説明したが、シリサイド若しくは他の導電膜を用いても

よい。

(発明の効果)

本発明は上記実施例から明らかなように、上記実施例の製造方法で製造された半導体装置は、サイドウォール絶縁膜にホットキャリアは捕獲されないこと、また、サイドウォール下の極く薄い多結晶シリコンはゲート電極に接続されているため、その下のゲート酸化膜(二酸化珪素膜)に捕獲されたホットキャリアのトランジスタ特性に与える影響も小さい。例えば、ゲート電圧5V、ドレイン電圧5Vにおいて従来はトランジスタ閾値電圧が数年から10年で約10%変動するのに対し、本実施例によるものは数%となり、長時間使用時のトランジスタ特性の劣化が改善され信頼性が向上する効果を有する。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における半導体装置の製造方法工程順断面図、第2図は従来の半導体装置の製造方法の工程順断面図である。

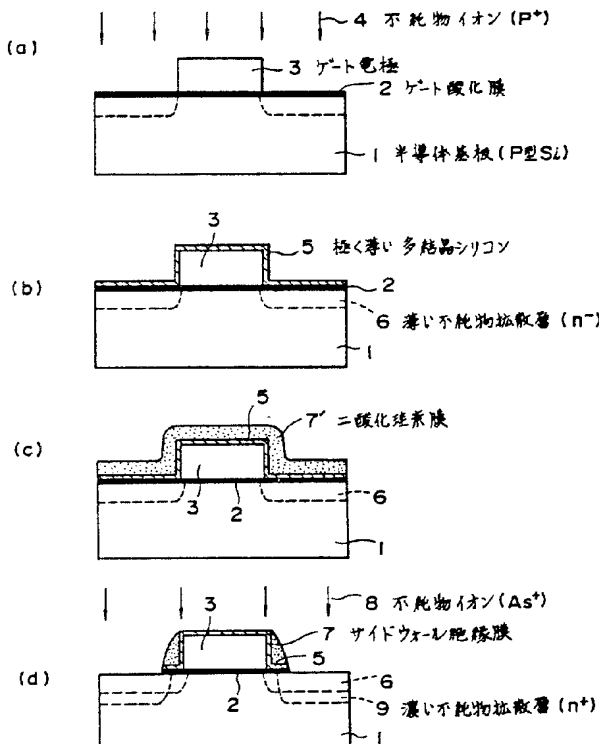
1 … 半導体基板、 2 … ゲート酸化膜、

3 … ゲート電極、 4 … 不純物イオン( $P^+$ )、 5 … 極く薄い多結晶シリコン膜、 6 … 薄い不純物拡散層( $n^-$ )、 7 … サイドウォール絶縁膜、 7' … 二酸化珪素膜、 8 … 不純物イオン( $As^+$ )、 9 … 濃い不純物拡散層( $n^+$ )、 10 … 層間絶縁膜、 11 … アルミ配線。

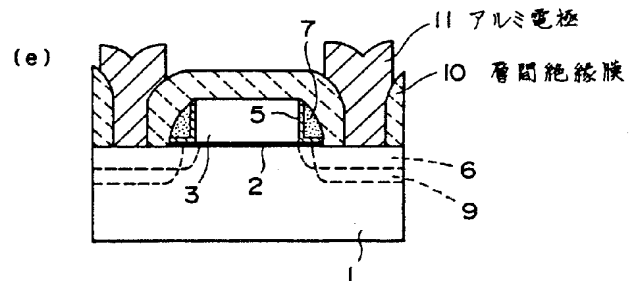
特許出願人 松下電子工業株式会社

代理人 星野恒司

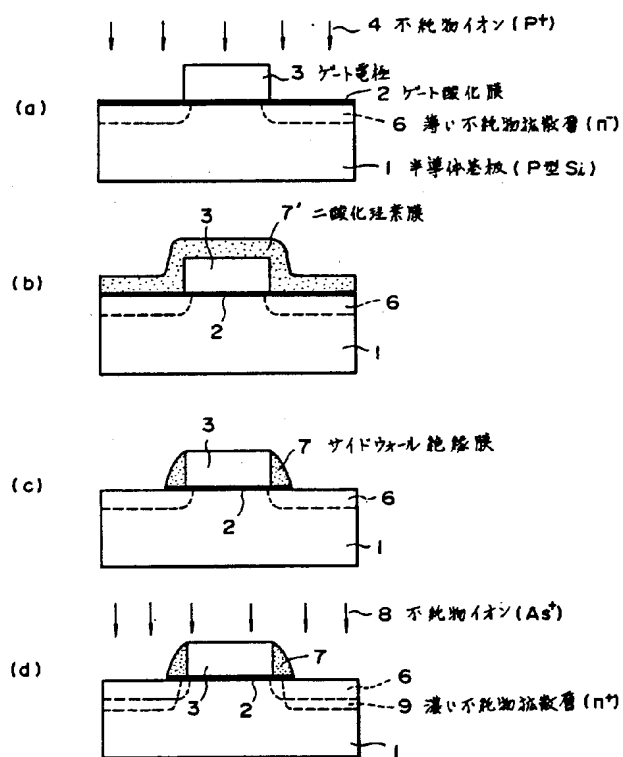
第 1 図



第 1 図



第 2 図



第 2 図

